

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

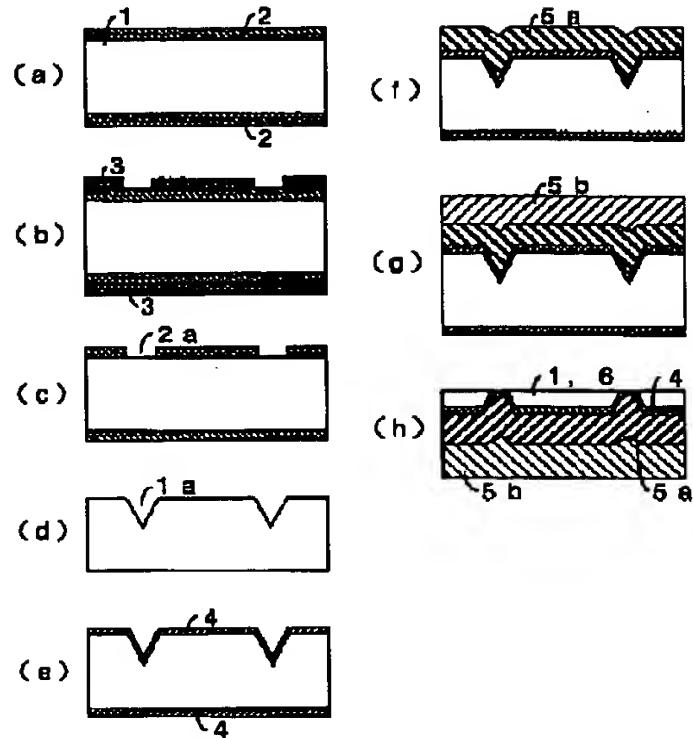
IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 10335447
 PUBLICATION DATE : 18/12/98
 APPLICATION DATE : 30-05-97
 APPLICATION NUMBER : 09141717
 APPLICANT : MATSUSHITA ELECTRIC WORKS LTD;
 INVENTOR : KAMAKURA MASATOMO;
 INT.CL. : H01L 21/762 H01L 27/12
 TITLE : MANUFACTURE OF DIELECTRIC ISOLATION SUBSTRATE



ABSTRACT : PROBLEM TO BE SOLVED: To provide a method for manufacturing a dielectric isolation substrate which can prevent generation of a void at a tip end of a V-shaped groove.

SOLUTION: A polysilicon layer 5a is formed as deposited on a side of a single crystal silicon substrate 1 having a groove 1a made therein by a CD process using trichlorosilane and hydrogen gases as source gases. At this time, a temperature within a reactor where the polysilicon layer 5a is to be deposited is previously set at less than 1150°C. Next, the temperature within the reactor is set at 1150°C or more without causing any change in the flow rates of the source gases, to thereby form an upper polysilicon layer 5b through deposition. Finally, the substrate is polished from a side of the substrate not provided with the layer 5b until the layer 5a buried in the groove 1a is exposed, to thereby silicon single crystal islands 6 of the substrate 1 covered on its bottom and side faces with a silicon oxide film 4. That is, the layer 5b is polished down to a predetermined thickness.

COPYRIGHT: (C)1998,JPO

Also all 6/30/00
ESR

(51) Int.Cl.
H 01 L 21/762
27/12

識別記号

F I
H 01 L 21/76
27/12

D
B
F

審査請求 未請求 請求項の数1 O.L (全4頁)

(21) 出願番号 特願平9-141717
(22) 出願日 平成9年(1997)5月30日

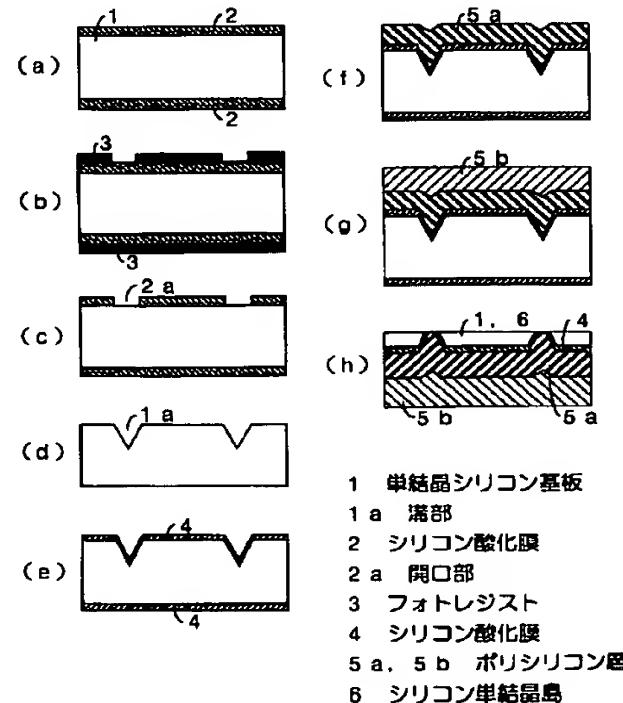
(71) 出願人 000005832
松下電工株式会社
大阪府門真市大字門真1048番地
(72) 発明者 狩原 淳
大阪府門真市大字門真1048番地松下電工株
式会社内
(72) 発明者 岡 直正
大阪府門真市大字門真1048番地松下電工株
式会社内
(72) 発明者 奥戸 崇史
大阪府門真市大字門真1048番地松下電工株
式会社内
(74) 代理人 弁理士 佐藤 成示 (外1名)
最終頁に続く

(54) 【発明の名称】 誘電体分離基板の製造方法

(57) 【要約】

【課題】 V字形状の溝部の先端にボイドが発生するのを防止することができる誘電体分離基板の製造方法を提供する。

【解決手段】 単結晶シリコン基板1の溝部1aを形成した面側に、トリクロロシランと水素を原料ガスとするCVD法で下層のポリシリコン層5aを堆積する。この時、ポリシリコン層5aを堆積させる反応炉内の温度を1150℃未満に設定しておく。次に、原料ガスの流量を変化させずに、反応炉内の温度を1150℃以上にして上層のポリシリコン層5bを堆積する。最後に、単結晶シリコン基板1のポリシリコン層5bを堆積させていない方の面側から溝部1aに埋込形成されたポリシリコン層5aが露出するまで研磨することにより、底面及び側面がシリコン酸化膜4で覆われた単結晶シリコン基板1から成るシリコン単結晶島6を形成し、所定の厚さになるまでポリシリコン層5bの研磨を行う。



【特許請求の範囲】

【請求項 1】 単結晶シリコン基板の一主表面に異方性エッティングを行うことにより溝部を形成し、前記単結晶シリコン基板の前記溝部を形成した面側に誘電体膜を形成し、該誘電体膜上に原料ガスとしてトリクロルシランと水素を用いたCVD法によりポリシリコン層を堆積し、前記単結晶シリコン基板を前記ポリシリコン層が露出するまで研磨することにより側面及び底部が前記誘電体膜で覆われた前記単結晶シリコン基板から成るシリコン単結晶島を形成する誘電体分離基板の製造方法において、前記ポリシリコン層を、前記原料ガスの流量を変化させずに、該ポリシリコン層を堆積させる反応炉内の温度を低くして堆積を行い、後に前記反応炉内の温度を上昇させて堆積を行うようにしたことを特徴とする誘電体分離基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、誘電体分離基板の製造方法に関するものである。

【0002】

【従来の技術】図2は、従来例に係る誘電体分離基板の製造工程を示す略断面図である。従来の誘電体分離基板は、先ず、単結晶シリコン基板1の両面にバイロジェニック酸化等によりシリコン酸化膜2を形成し(図2(a))、シリコン酸化膜2上にフォトレジスト3を塗布し、露光、現像を行うことにより所定形状にパターニングする(図2(b))。

【0003】続いて、パターニングされたフォトレジスト3をマスクとしてシリコン酸化膜2のエッティングを行うことにより開口部2aを形成し、プラズマアッティング等によりフォトレジスト3を除去する(図2(c))。

【0004】次に、開口部2aが形成されたシリコン酸化膜2をマスクとして単結晶シリコン基板1を水酸化カリウム(KOH)溶液等のアルカリ系のエッチャントを用いて異方性エッティングを行うことにより、V字形状の溝部1aを形成し、エッティングによりシリコン酸化膜2を除去する(図2(d))。

【0005】次に、溝部1aが形成された単結晶シリコン基板1の両面に、バイロジェニック酸化等により誘電体膜としてのシリコン酸化膜4を形成し(図2(e))、単結晶シリコン基板1の溝部1aを形成した面側に、トリクロルシランと水素を原料ガスとするCVD法により厚膜のポリシリコン層5を堆積する(図2(f))。

【0006】最後に、単結晶シリコン基板1のポリシリコン層5を堆積させていない方の面側から溝部1aに埋込形成されたポリシリコン層5が露出するまで研磨することにより、底面及び側面がシリコン酸化膜4で覆われた単結晶シリコン基板1から成るシリコン単結晶島6を形成し、所定の厚さになるまでポリシリコン層5の研磨

を行う(図2(g))。

【0007】

【発明が解決しようとする課題】ところが、上述の誘電体分離基板の製造方法においては、ポリシリコン層5を堆積する際に、V字形状の溝部1aの先端までポリシリコンが充填されず、ボイドが発生するという問題があつた。

【0008】このボイドは、研磨によって除去される場合もあるが、研磨の終点よりも深い部分までボイドが及んでいる場合、仕上がった誘電体分離基板の表面にボイドが表出し、基板表面の平坦性及び基板の信頼性を損なうことになる。

【0009】本発明は、上記の点に鑑みて成されたものであり、その目的とするところは、V字形状の溝部の先端にボイドが発生するのを防止することができる誘電体分離基板の製造方法を提供することにある。

【0010】

【課題を解決するための手段】請求項1記載の発明は、単結晶シリコン基板の一主表面に異方性エッティングを行うことにより溝部を形成し、前記単結晶シリコン基板の前記溝部を形成した面側に誘電体膜を形成し、該誘電体膜上に原料ガスとしてトリクロルシランと水素を用いたCVD法によりポリシリコン層を堆積し、前記単結晶シリコン基板を前記ポリシリコン層が露出するまで研磨することにより側面及び底部が前記誘電体膜で覆われた前記単結晶シリコン基板から成るシリコン単結晶島を形成する誘電体分離基板の製造方法において、前記ポリシリコン層を、前記原料ガスの流量を変化させずに、該ポリシリコン層を堆積させる反応炉内の温度を低くして堆積を行い、後に前記反応炉内の温度を上昇させて堆積を行うようにしたことを特徴とするものである。

【0011】

【発明の実施の形態】以下、本発明の一実施形態について図面に基づき説明する。図1は、本発明の一実施形態に係る誘電体分離基板の製造工程を示す略断面図である。なお、本実施形態に係る誘電体分離基板の製造工程は、従来例として図2に示す(e)までの製造工程と同様であるので、ここでは説明を省略し、図1(f)から説明する。

【0012】単結晶シリコン基板1の溝部1aを形成した面側に、トリクロルシランと水素を原料ガスとするCVD法で下層のポリシリコン層5aを堆積する(図1(f))。この時、ポリシリコン層5aを堆積させる反応炉(図示せず)内の温度を1150℃未満に設定しておく。

【0013】次に、原料ガスの流量を変化させずに、反応炉内の温度を1150℃以上にして上層のポリシリコン層5bを堆積する(図1(g))。

【0014】最後に、単結晶シリコン基板1のポリシリコン層5bを堆積させていない方の面側から溝部1aに

3

埋込形成されたポリシリコン層5aが露出するまで研磨することにより、底面及び側面がシリコン酸化膜4で覆われた単結晶シリコン基板1から成るシリコン単結晶島6を形成し、所定の厚さになるまでポリシリコン層5bの研磨を行う(図1(h))。

【0015】ポリシリコン層を堆積する際に、堆積温度が高いと堆積速度は速いが、V字形状の溝部の先端にボイドが発生しやすいという問題があり、堆積温度が低いとボイドは発生しにくいが、堆積後の基板の反りが大きくばらつくということが実験によりわかった。この反りは、半導体製造装置の搬送系のトラブルを引き起こしたり、フォトリソグラフィ工程でのパターニングの精度を悪化させるという問題を生じる。

【0016】従って、本実施形態においては、V字形状の溝部1aに埋込形成されるポリシリコン層5aを反応炉内の温度を低くして堆積させ、ポリシリコン層5a上に反応炉内の温度を高くしてポリシリコン層5bを堆積するようにしたので、生産性を犠牲にすることなく、V字形状の溝部1aの先端にボイドが発生するのを防止することができるとともに、基板の反りのばらつきを低減することができる。

【0017】なお、本実施形態においては、ポリシリコン層5aを堆積させるための反応炉内の温度を1150℃未満に設定したが、これに限定される必要はなく、ボイドの発生を防止するために反応炉内の温度が低ければ良く、ポリシリコン層5aが堆積できる温度であれば良い。

【0018】

【発明の効果】請求項1記載の発明は、単結晶シリコン基板の一主表面に異方性エッチングを行うことにより溝

4

部を形成し、単結晶シリコン基板の溝部を形成した面側に誘電体膜を形成し、電体膜上に原料ガスとしてトリクロルシランと水素を用いたCVD法によりポリシリコン層を堆積し、単結晶シリコン基板をポリシリコン層が露出するまで研磨することにより側面及び底部が誘電体膜で覆われた単結晶シリコン基板から成るシリコン単結晶島を形成する誘電体分離基板の製造方法において、ポリシリコン層を、原料ガスの流量を変化させずに、ポリシリコン層を堆積させる反応炉内の温度を低くして堆積を行い、後に反応炉内の温度を上昇させて堆積を行うようにしたので、生産性を犠牲にすることなく、溝部の先端にボイドが発生するのを防止することができ、さらに基板の反りのばらつきを低減することができ、「V字形状の溝部の先端にボイドが発生するのを防止することができる誘電体分離基板の製造方法を提供することができた。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る誘電体分離基板の製造工程を示す略断面図である。

【図2】従来例に係る誘電体分離基板の製造工程を示す略断面図である。

【符号の説明】

- 1 単結晶シリコン基板
- 1a 溝部
- 2 シリコン酸化膜
- 2a 開口部
- 3 フォトレジスト
- 4 シリコン酸化膜
- 5, 5a, 5b ポリシリコン層
- 6 シリコン単結晶島

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

30

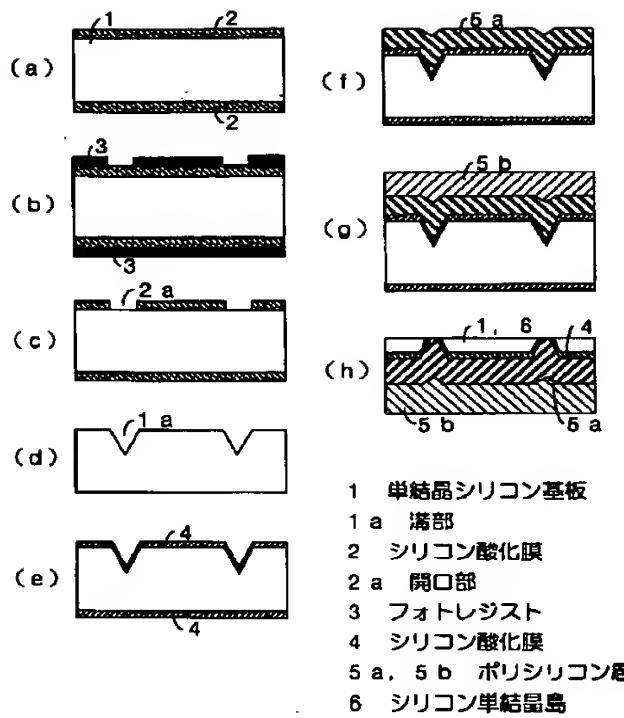
30

30

30

30

【図1】



フロントページの続き

(72) 発明者 鎌倉 将有
 大阪府門真市大字門真1048番地松下電工株
 式会社内